

# LIGHT-EMITTING DEVICE AND ITS MANUFACTURING METHOD

**Publication number:** JP2004192876

**Publication date:** 2004-07-08

**Inventor:** MURAKAMI TOMOHITO; MIYAGI NORIKO

**Applicant:** SEMICONDUCTOR ENERGY LAB

**Classification:**


**- International:** *H05B33/26; G09F9/30; H01L51/50; H05B33/00; H05B33/14; H05B33/26; G09F9/30; H01L51/50; H05B33/00; H05B33/14; (IPC-1-7): H05B33/26; G09F9/30; H05B33/14*

- european:

**Application number:** JP20020357532 20021210

**Priority number(s):** JP20020357532 20021210

**Also published as:**

 US2004256979 (A1)

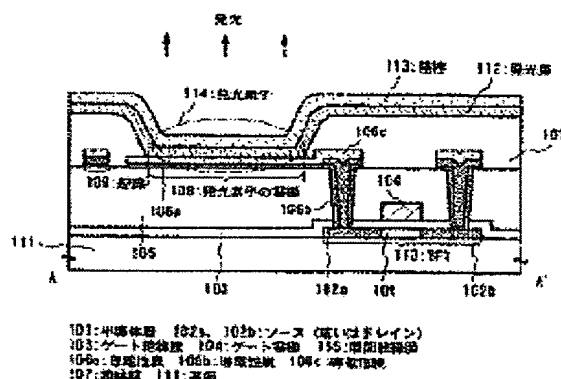
**Report a data error here**

## Abstract of JP2004192876

**PROBLEM TO BE SOLVED:** To provide a top-face light emitting device of which an electrode of a light-emitting element and a source electrode are integrated, in order to eliminate the process related to the formation of an interlayer insulation film and a contact hole, and to provide a manufacturing method of the same.

**SOLUTION:** The light-emitting device has a structure of integrating the electrode of the light-emitting element and the source electrode. With this, the process related to the formation of the interlayer insulation film and the contact hole can be eliminated, and total process is shortened. Further, the electrodes are so structured that a part functioning as an electrode of the light-emitting element and a part functioning as a source electrode can well exert their respective functions.

COPYRIGHT: (C)2004,JPO&NCIPI



(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-192876

(P2004-192876A)

(43) 公開日 平成16年7月8日 (2004. 7. 8)

(51) Int. Cl. <sup>7</sup>

H05B 33/26

G09F 9/30

H05B 33/14

F 1

H05B 33/26

G09F 9/30

H05B 33/14

Z

3 3 8

A

テーマコード (参考)

3 K 0 0 7

5 C 0 9 4

審査請求 未請求 請求項の数 4 O L (全 21 頁)

(21) 出願番号 特願2002-357532 (P2002-357532)  
 (22) 出願日 平成14年12月10日 (2002. 12. 10)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷 3 9 8 番地  
 (72) 発明者 村上 智史  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 宮城 徳子  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 F ターム (参考) 3K007 AB03 AB17 AB18 DB03 FA01  
 5C094 AA02 AA22 AA42 AA43 AA44  
 BA03 BA29 CA19 DA13 EA04  
 FB12 HA08 HA10

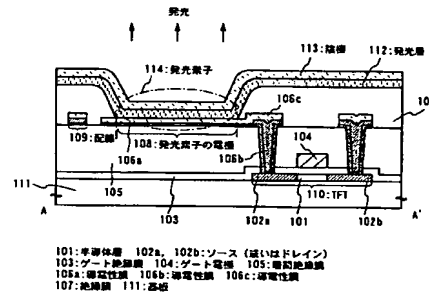
(54) 【発明の名称】 発光装置およびその作製方法

## (57) 【要約】

【課題】 発光素子の電極と、配線を異なる層で作製すると、層間絶縁膜やコンタクトホール形成に係る工程が多くなる。この為、工程短縮化ができるような新たな構造の発光素子を提案する。

【解決手段】 本発明の発光装置は、発光素子の電極とソース電極とが一体化した電極をもつ構造を有する。これにより、層間絶縁膜やコンタクトホール形成に係る工程を削減でき、工程短縮化ができる。なお、発光素子の電極として機能する部分とソース電極として機能する部分とで、各々の機能を十分に待たせるような電極構造となるようにしている。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の導電性膜と第 2 の導電性膜と第 3 の導電性膜とからなる電極を有し、  
前記電極において、  
前記第 1 の導電性膜の上には、前記第 1 の導電性膜と接する、前記第 2 の導電性膜と前記  
第 3 の導電性膜がそれぞれ形成されている  
ことを特徴とする発光装置。

## 【請求項 2】

第 1 の導電性膜と第 2 の導電性膜と第 3 の導電性膜と第 4 の導電性膜とからなる電極を有し、  
前記電極において、  
前記第 1 の導電性膜の上には、前記第 1 の導電性膜と接する、前記第 2 の導電性膜と前記  
第 4 の導電性膜がそれぞれ形成され、  
前記第 4 の導電性膜の上には前記第 3 の導電性膜が形成されている  
ことを特徴とする発光装置。

## 【請求項 3】

第 1 の導電性膜と第 2 の導電性膜と第 3 の導電性膜と第 4 の導電性膜とからなる電極を有し、  
前記電極において、  
前記第 1 の導電性膜と前記第 2 の導電性膜が積層している第 1 の積層部と、  
前記第 3 の導電性膜と前記第 4 の導電性膜が積層している第 2 の積層部とが形成され、  
前記第 3 の導電性膜と前記第 4 の導電性膜のいずれか一方の導電性膜が、前記第 2 の導電性膜と接している  
ことを特徴としている。

## 【請求項 4】

絶縁膜を形成する工程と、  
前記絶縁膜にコンタクトホールを形成する工程と、  
前記絶縁膜の上に第 1 の導電性膜と第 2 の導電性膜を形成する工程と、  
第 1 のマスクを用いて、前記第 2 の導電性膜を選択的にエッチングする工程と、  
前記第 1 の導電性膜の上方に前記第 3 の導電性膜を形成する工程と、  
第 2 のマスクを用いて、前記第 1 の導電性膜と前記第 2 の導電性膜を加工する工程と、  
を有することを特徴とする発光装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、発光装置およびその作成方法に関し、特に発光素子の電極と発光素子駆動用 T F T に電氣的信号を伝達するための電極とが一体化した電極を用いた上面発光型の発光装置およびその作成方法に関する。

## 【0002】

## 【従来の技術】

自発光、広視野角、高速応答性、低電圧駆動、低消費電力などの特徴を有する発光素子であるエレクトロルミネセンス (Electro Luminescence; 以後、E L と略記。) 素子を用いた E L ディスプレイの開発が注目されている。

## 【0003】

E L ディスプレイは、E L 素子の駆動方法によってパッシブマトリックス型とアクティブマトリックス型とに分類される。さらに、発光した光を取り出す方法によって、上面発光型と下面発光型とに分類される。ここで、発光した光を、E L 素子が形成されたガラス基板側から採光するものを下面発光型、E L 素子が形成された基板とは反対側から採光するものを上面発光型という。

## 【0004】

アクティブマトリクス型ELディスプレイでは、EL素子の駆動に薄膜トランジスタ（Thin Film Transistor；以後TFTと略記。）が用いられており、通常、基板上にTFTから成る駆動回路等を形成した後、さらにその上方にEL素子を形成する。従って、下面発光型のアクティブマトリクス型ELディスプレイにおいては、TFTや配線が形成された領域を発光した光が透過することができないため、TFTや配線の形成により開口率が制限され、結果として採光できる光量が制限されてしまう。一方、上面発光型のアクティブマトリクス型ELディスプレイにおいては、TFTや配線の形成による開口率の制約を受けずに発光した光を採光でき、さらにTFTや配線の形成による開口率への影響を考慮する必要がないため駆動回路等の設計における自由度が上がる。

【0005】

以上の観点から、上面発光型のアクティブマトリクス型ELディスプレイの開発が進められている。

【0006】

上面発光型のアクティブマトリクス型ELディスプレイにおいて用いられるEL素子の構造としては、基板側（即ちTFTを形成した側）に陽極を形成し、その上に発光層、陰極等が順に積層された構造と、基板側に陰極を形成し、その上に発光層、陽極等が順に積層された構造とが考えられる。

【0007】

EL素子では、陽極材料に仕事関数が導電製材料を用いることが好ましい。このため、陽極材料としてはITO（Indium Tin Oxide；仕事関数 約4.8 eV）がよく用いられている。しかしながら、基板側（即ちTFTを形成した側）に陽極を形成し、その上に発光層、陰極等が順に積層された構造を有するEL素子では、陽極にITOのような透明導電性材料を用いると、発光した光が陽極を透過してTFTを形成した側に漏れてしまう。このような光の漏れを防止し、さらに採光側に発光した光を反射させて採光効率を上げるためにITOで形成した膜（ITO膜）の下部に反射膜を形成した構造をもつ陽極を形成することが提案されている。

【0008】

ITO膜と不透明導電材料からなる膜が積層された陽極を有するEL素子を用いた上面発光型ELディスプレイとしては、EL素子駆動用TFTのソース（或いは、ドレイン）に電気的信号を伝達するための電極（以後、ソース電極という）の上に形成した平坦化絶縁膜の上に当該陽極を形成し、コンタクトホールを介して当該電極と当該陽極とが接続されているものがある（例えば、特許文献1参照）。

【0009】

【特許文献1】

特開2000-77191号公報（第2-4頁、第1図）

【0010】

しかしながら、上記のような上面発光型ELディスプレイでは、ソース電極と陽極とを異なる層で形成しているため、層間絶縁膜やコンタクトホールを形成するための工程が多くなる。従って、工程を短縮できるような構造を有する上面発光型ELディスプレイの開発が求められる。

【0011】

【発明が解決しようとする課題】

以上のような問題を鑑み、本発明では、層間絶縁膜の形成やコンタクトホールの形成に係る工程を削減できるように、発光素子の電極とソース電極が一体となっている上面発光型の発光装置およびその作製方法を提供することを課題とする。

【0012】

【課題を解決するための手段】

本発明の発光装置は、発光素子の電極とソース電極が一体となっており、前記電極は、第1の導電性膜と第2の導電性膜と第3の導電性膜とからなり、第1の導電性膜の上には、第1の導電性膜と接するように、第2の導電性膜と第3の導電性膜がそれぞれ形成されて

10

20

30

40

50

いることを特徴としている。

【0013】

第1の導電性膜と第2の導電性膜が積層する部分はソース電極として機能する。ここで、第1の導電性膜は、第2の導電性膜とTFTのソース（或いは、ドレイン）が直接接触するのを防止する膜として機能する。また第2の導電性膜はTFTに電気的信号を伝達するための膜として機能する。このため、第2の導電性膜は、配線としても機能できるよう、低抵抗な材料で形成されていることが好ましい。

【0014】

配線材料として用いられる厚膜のアルミニウムは低抵抗であるが、ヒロックにより生じる凹凸が大きく、発光素子の電極を形成する材料としては不向きである。

10

【0015】

しかしながら、以上のような構造とすることにより、例えば、低抵抗ではあるが、ヒロックなどを生じることが懸念される厚膜のアルミニウムなどの材料を第2の導電性膜の材料として用いることが可能となる。

【0016】

また、第1の導電性膜と第3の導電性膜が積層し、発光素子の電極として機能する部分において、第1の導電性膜には、発光素子の下方部の層間絶縁膜がエッチングされ、層間絶縁膜の表面に凹凸が形成されるのを防止する効果がある。

【0017】

第3の導電性膜は、発光素子の陰極或いは陽極として機能する。

20

【0018】

ここで、第3の導電性膜が透明性導電膜で形成されている場合において、第1の導電性膜は、反射膜として用いることも可能である。

【0019】

なお、第3の導電性膜が非透明導電膜である場合は、これを反射膜として用いればよい。

【0020】

また他の発明の発光装置は、第1の導電性膜と第3の導電性膜に挟まれた第4の導電性膜を有することを特徴としている。

【0021】

第4の導電性膜は反射膜として用いる。このような構造とすることにより、第3の導電性膜が非透明性導電膜で形成されている場合において、反射率のよい薄膜のアルミニウムなどを反射膜として用いることが可能となる。なお、薄膜のアルミニウムであれば、アルミニウムのヒロックにより形成される凹凸は、発光層がこれを被覆できる程度のものとなる。

30

【0022】

他の発明の発光装置は、第1の導電性膜と第2の導電性膜が積層している第1の積層部と、第3の導電性膜と第4の導電性膜が積層している第2の積層部とを有し、第3の導電性膜と第4の導電性膜のいずれか一方の導電性膜が、第2の導電性膜と接していることを特徴としている。

【0023】

40

【発明の実施の形態】

（実施の形態1）

本発明の発光装置について図1および図4を用いて説明する。

【0024】

図4は、本発明の発光装置の画素部の上面図である。図5において、半導体膜501aは発光素子駆動用トランジスタ（TFT）の半導体膜であり、半導体膜501aのソース（或いはドレイン）506と電極504が接続されている。電極504は、絶縁膜505が設けられておらず、発光素子の陽極として機能する部分504aと、TFTのソース（或いはドレイン）506と接続している部分504bとからなる。

【0025】

50

図 1 は図 4 に示した画素部における断面図 (A-A') である。図 1 において、基板 1 1 1 上に発光素子駆動用の薄膜トランジスタ (T F T) 1 1 0 が設けられており、T F T 1 1 0 のソース (或いはドレイン) 1 0 2 a と、発光素子 1 1 4 とは、発光素子の電極とソース電極が一体となった電極 1 0 6 により接続されている。

【 0 0 2 6 】

電極 1 0 6 は導電性膜 1 0 6 a、導電性膜 1 0 6 b、導電性膜 1 0 6 c からなり、導電性膜 1 0 6 a の上には、導電性膜 1 0 6 a と接するように導電性膜 1 0 6 b と導電性膜 1 0 6 c とがそれぞれ形成されている。

【 0 0 2 7 】

電極 1 0 6 の上には、開口部を有する絶縁膜 1 0 7 が、電極 1 0 6 の端部を覆うように形成されている。絶縁膜 1 0 7 の開口部において、導電性膜 1 0 6 a と導電性膜 1 0 6 c の積層部が露出している。この絶縁膜 1 0 7 の開口部から露出した部分が発光素子の電極 1 0 8 として機能する。

【 0 0 2 8 】

また、電極 1 0 6 のうち、少なくとも導電性膜 1 0 6 a、1 0 6 b が積層している部分は T F T 1 1 0 のソース電極として機能する。なお、T F T 1 1 0 のソース電極 (或いは、配線としても機能する) として機能する部分と同様に、少なくとも導電性膜 1 0 6 a、1 0 6 b が積層された構造を有する配線 1 0 9 が形成されている。

【 0 0 2 9 】

従って、導電性膜 1 0 6 b は、低抵抗となるようにアルミニウム、若しくはアルミニウム中に数%のシリコン (S i) やチタン (T i) 等を含有了合金等、比抵抗の小さい材料を 2 0 0 ~ 4 0 0 n m の厚膜で成膜し、形成されている。

【 0 0 3 0 】

このようなアルミニウム、若しくはアルミニウムを主成分とした合金等はシリコン (S i) との接触による不良を引き起こしやすい。このため、導電性膜 1 0 6 a は、導電性膜 1 0 6 b と T F T のソース (或いは、ドレイン) 1 0 2 a が直接接触するのを防止する膜として機能する。

【 0 0 3 1 】

さらに、アルミニウム、若しくはアルミニウムを主成分とした合金からなる導電性膜はヒロックを引き起こしやすい。ヒロックにより形成される凹凸は、導電性膜の厚さにより程度が異なり、膜厚が厚い程大きく、膜厚が薄い程小さい。

【 0 0 3 2 】

このため、発光素子の電極部に、厚膜のアルミニウム、若しくはアルミニウムを主成分とした合金からなる導電性膜を用いると、ヒロックにより形成される凹凸を、発光層が被覆しきれず、発光素子の陰極と陽極がショートといった不良の発生が懸念される。

【 0 0 3 3 】

従って、本発明の発光装置においては、発光素子の電極 1 0 8 は導電性膜 1 0 6 a と導電性膜 1 0 6 c を積層した構造となっている。

【 0 0 3 4 】

なお、導電性膜 1 0 6 a には、発光素子の下方部の層間絶縁膜 1 0 5 がエッチングされ、層間絶縁膜 1 0 5 の表面に凹凸が形成されるのを防止する効果がある。

【 0 0 3 5 】

導電性膜 1 0 6 c は、発光素子の陰極或いは陽極として機能することが可能である。本実施の形態において、導電性膜 1 0 6 c は、I T O (I n d i u m T i N O x i d e) などの仕事関数 (約 4 . 8 e V) が高い材料で形成されおり、発光素子の陽極として機能する。

【 0 0 3 6 】

但し、I T O は透明性導電膜であり、光を透過する。従って、導電性膜 1 0 6 a を反射膜として用い、発光素子で発光された光を採光側へ反射させる。

【 0 0 3 7 】

10

20

30

40

50

従って、本実施の形態において、導電性膜 106a はシリコン、アルミニウム、若しくはアルミニウムを主成分とする合金、ITO のいずれとも反応性が低く、また可視光領域における反射率が比較的よいタンタル、或いは窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) のような材料から形成される。

【0038】

また、導電性膜 106c と接触するように発光層 112、発光層 112 の上に発光素子の電極 113 が設けられている。本実施の形態では発光素子の電極 113 は発光素子の陰極として機能する。

【0039】

なお、本実施の形態においては、導電性膜 106c として、透明性導電膜を用いているが、この他、アルミニウム合金 (Al-Li) を膜厚約 10~40nm の薄膜として用いてもよい。このような薄膜のアルミニウム合金では、ヒロックにより形成される凹凸が小さく、発光層 112 がこれらの凹凸を被覆できる。さらに、このようなアルミニウム合金は、反射率が高いため、反射膜としても用いることが可能である。

【0040】

以上のような、発光素子の電極とソース電極とが一体となった電極 106 を有する。このため、発光素子の電極とソース電極を別の層で形成している従来技術の上面発光型の発光装置よりも、層間絶縁膜の形成、コンタクトホール形成に係る工程が削減できる。また、層間絶縁膜がエッチングされたり、アルミニウムがヒロックを生じたりすることにより形成される凹凸も考慮し、これらの凹凸に起因した発光素子の不良を抑制できる構造となっている。

【0041】

(実施の形態 2)

本実施の形態では、図 1 に示した構造を有する上面発光型の発光装置の作製方法について、図 5、6 の工程断面図を用いて説明する。

【0042】

なお、本実施の形態において TFT の構造は特に限定する必要がなく、公知の方法を用いて作製すればよい。

【0043】

基板 801 上に公知の作製方法を用いて発光素子駆動用の TFT 802 を作製し、さらにその上に無機膜あるいは有機膜からなる層間絶縁膜 805 を形成し、パターンニングおよびエッチングにより TFT のソース (或いはドレイン) 803a と、後に形成する電極 808 とを電氣的に接続するためのコンタクトホールを形成する。

【0044】

つぎに層間絶縁膜 805 の上にタンタル (Ta) を約 100nm の膜厚で成膜して導電性膜 806a (第 1 の導電性膜) を形成する、さらに導電性膜 806a の上にアルミニウム (Al) を約 350nm の膜厚で成膜して導電性膜 806b (第 2 の導電性膜) を形成する。導電性膜 806a としては、半導体膜との反応性が低く (バリア膜としての機能)、遮光性を有し、可視光領域における反射率が比較的よく、ヒロック等を生じないものであれば、他の材料を用いても構わない。また導電性膜 806b についても、アルミニウムに数%のシリコン (Si)、チタン (Ti) 等を含有させた合金等のように、配線として用いても問題のない程度 (引き回す配線の長さなどによって変わる) に低抵抗なものであれば、アルミニウムに限らず、他の材料でもよい。また膜厚に関しても以上の特性を満たせるのであれば、上記の値に限らない。

【0045】

つぎにパターンニングおよびエッチングにより導電性膜 806b のみを所望の形状に加工する。この時、導電性膜 806a はエッチングされずに残る。

【0046】

つぎに導電性膜 806a および導電性膜 806b の上に ITO を約 20nm の膜厚で成膜して導電性膜 806c (第 3 の導電性膜) を形成する。導電性膜 806c としては、発光

10

20

30

40

50

素子の陽極として機能できるように仕事関数の高い（約4.8 eV以上）のものであれば、ITOに限らず他の材料を用いても構わない。また陽極としての機能を満たせるのであれば、膜厚も上記の値に限らない。

【0047】

つぎにパターンニング後、導電性膜806cおよび導電性膜806aをエッチングより所望の形状に加工する。導電性膜806cと導電性膜806aの加工は同一のレジストマスクを用いて行えばよい。導電性膜806aと導電性膜806aは必ずしも、同一のレジストマスクを用いて加工する必要はないが、同一マスクを用いることで工程が短縮できる。

【0048】

以上のようにして、導電性膜806aと導電性膜806cのみが積層された部分を有する電極806が形成される。また、電極806と同一の工程で導電性膜806a、806b、806cが積層された形状をもつ配線809も形成される。

【0049】

つぎに導電性膜806cの上に、膜厚約1.4 μmのレジストからなる所望の形状の絶縁膜807を形成する。この時、絶縁膜807から導電性膜806aと導電性膜806cのみが積層された部分の一部（発光素子の陽極となる部分）が露出するようにする。この露出した部分が発光素子の陽極811として機能する。絶縁膜807には、レジスト以外に酸化珪素膜等の無機膜、あるいはアクリル等の有機膜のいずれを用いても構わない。また膜厚も上記の値に限らず、必要な絶縁性等が得られる厚さに適宜調整すればよい。

【0050】

つぎに導電性膜806cの上に発光層812を形成し、さらに発光層812の上に陰極813を形成する。発光層812は、低分子系、高分子系の公知の有機化合物を用いて形成される。また陰極813は、発光層812において発光した光が透過できるように、可視光に対する透過率が40%以上である導電性膜で形成される。但し、陰極813の材料としては、電子の注入効率を向上させるために、仕事関数が低い材料が好ましい。従って、アルカリ金属やアルカリ土類金属を含有した合金を用いて形成すればよい。或いは発光層812と陰極813の間に電子の注入効率を向上させるためのアルカリ金属やアルカリ土類金属、又はそれらの化合物からなる薄膜を形成した後、ITOのような透明性導電膜を形成して陰極813に用いてもよい。

【0051】

このようにして、陽極811と、発光層812と、陰極813からなる順積みの発光素子814が形成される。

【0052】

以上のようにして、本発明の発光装置を作製する。このように、本発明の発光装置は、発光素子の電極とソース電極が一体となっているため、従来のような、発光素子の電極とソース電極とを別の層で形成する発光装置よりも、層間絶縁膜の形成、コンタクトホール形成に係る工程が削減できる点で有利である。

【0053】

（実施の形態3）

本実施の形態では、図2に示した構造を有する上面発光型の発光装置について説明する。

【0054】

図2において、基板211上に発光素子駆動用の薄膜トランジスタ（TF T）210が設けられており、TF T 210のソース（或いはドレイン）202aと、発光素子214とは、発光素子の電極とソース電極が一体となった電極206により接続されている。

【0055】

電極206は導電性膜206a、導電性膜206b、導電性膜206c、導電性膜206dとからなり、導電性膜206aの上には、導電性膜206aと接するように導電性膜206bと導電性膜206dとがそれぞれ形成されている。

【0056】

電極206の上には、開口部を有する絶縁膜207が、電極206の端部を覆うように形

10

20

30

40

50



成されている。絶縁膜 207 の開口部において、導電性膜 206a と導電性膜 206d、導電性膜 206c の積層部が露出している。この絶縁膜 207 の開口部から露出した部分が発光素子の電極 208 として機能する。

【0057】

また、電極 206 のうち、少なくとも導電性膜 206a、206b が積層している部分は TFT 210 のソース電極として機能する。なお、TFT 210 のソース電極（或いは、配線としても機能する）として機能する部分と同様に、少なくとも導電性膜 206a、206b が積層された構造を有する配線 209 が形成されている。

【0058】

本実施の形態における発光装置の構造は、導電性膜 206d を有する点で、実施の形態 1 で示した発光装置と異なっている。 10

【0059】

実施の形態 1 における発光装置では、導電性膜 206c が透明導電性膜されており、導電性膜 206d を反射膜として用いている。本実施の形態においては、導電性膜 206d を反射膜として用いる。

【0060】

導電性膜 206d は、膜厚約 10～40nm の薄膜のアルミニウムで形成されている。アルミニウムは反射率が高いため、反射膜に適する。また薄膜のアルミニウムであれば、ヒロックにより形成される凹凸が小さく、発光層 212 はこれらの凹凸を問題なく被覆できる。 20

【0061】

上記のような構造は、導電性膜 206a よりも反射率の良い材料で反射膜を形成し、採光効率を高める必要があり、さらに導電性膜 206c として ITO のような透明導電性膜を用いる場合に有効である。

【0062】

以上のような、発光素子の電極とソース電極とが一体となった電極 206 を有する。このため、発光素子の電極とソース電極を別の層で形成している従来技術の上面発光型の発光装置よりも、層間絶縁膜の形成、コンタクトホール形成に係る工程が削減できる。また、層間絶縁膜がエッチングされたり、アルミニウムがヒロックを生じたりすることにより形成される凹凸も考慮し、これらの凹凸に起因した発光素子の不良を抑制できる構造となっている。 30

【0063】

（実施の形態 4）

本実施の形態では、図 3 に示した構造を有する上面発光型の発光装置について説明する。図 3 において、基板 311 上に発光素子駆動用の薄膜トランジスタ（TFT）310 が設けられており、TFT 310 のソース（或いはドレイン）302a と、発光素子 314 とは、発光素子の電極とソース電極が一体となった電極 306 により接続されている。

【0064】

電極 306 は導電性膜 306a、導電性膜 306b、導電性膜 306c、導電性膜 306d とからなり、導電性膜 306a と導電性膜 306b とが積層している部分と、導電性膜 306c と導電性膜 306d とが積層している部分を有し、導電性膜 306d は導電性膜 306b と接している。 40

【0065】

電極 306 の上には、開口部を有する絶縁膜 307 が、電極 306 の端部を覆うように形成されている。絶縁膜 307 の開口部において、導電性膜 306d と導電性膜 306c の積層部が露出している。この絶縁膜 307 の開口部から露出した部分が発光素子の電極 308 として機能する。

【0066】

本実施の形態における発光装置の構造は、発光素子の電極として機能する部分が、導電性膜 306d と導電性膜 306c のみが積層した構造を有する点で、実施の形態 2 で示した 50

発光装置と異なっている。

【0067】

発光素子の下方部において、導電性膜306aをエッチングして除去する際、層間絶縁膜の表面に形成される凹凸が、発光素子に不良を引き起こすような程度のものでない場合は、このような構造でもよい。

【0068】

以上のような、発光素子の電極とソース電極とが一体となった電極306を有する。このため、発光素子の電極とソース電極を別の層で形成している従来技術の上面発光型の発光装置よりも、層間絶縁膜の形成、コンタクトホール形成に係る工程が削減できる。また、層間絶縁膜がエッチングされたり、アルミニウムがヒロックを生じたりすることにより形成される凹凸も考慮し、これらの凹凸に起因した発光素子の不良を抑制できる構造となっている。

【0069】

【実施例】

【実施例1】

本実施例では、本発明の発光装置の作製方法を用いて、上面発光型の発光装置を作製する方法について図7～11を用いて説明する。本発明の発光装置においては、発光素子の電極とソース電極とが一体となった電極を有する。従って、発光素子の電極とソース電極を別の層で形成している従来技術の上面発光型の発光装置よりも、層間絶縁膜の形成、コンタクトホール形成に係る工程が削減した方法で作製できる。また、層間絶縁膜がエッチングされたり、アルミニウムがヒロックを生じたりすることにより形成される凹凸も考慮し、これらの凹凸に起因した発光素子の不良を抑制できる構造となっている。

【0070】

基板1500上に膜厚50～100nmの下地絶縁膜1501aおよび膜厚50～100nmの膜厚の下地絶縁膜1501bを積層成膜して形成する。下地絶縁膜1501(1501a、1501b)は、基板1500から半導体層への不純物拡散を防ぐために形成される。本実施例では、低アルカリガラスを用い、下地絶縁膜1501aには膜厚100nmの窒化珪素膜を下地絶縁膜1501bには膜厚100nmの酸化珪素膜をそれぞれプラズマCVD法により成膜した。また本実施例では、下地絶縁膜を二層の積層成膜しているが、不純物拡散の防止効果を得られるなら、一層あるいは三層以上の積層としてもよい。なお、TFT作製工程では、ガラスや石英等の透光性を有するものを用いるが、本実施例においては、上面発光型の発光装置を作製するため、各工程における処理温度に耐えうるものであれば、透光性を有するものに限らず他の基板を用いてもよい。

【0071】

次に、下地絶縁膜1501の上に半導体膜1502a～1502dを形成する。半導体膜1502a～1502dは、公知の成膜方法(CVD法やスパッタ法等)を用いて非晶質半導体膜を成膜後、公知の結晶化方法(固相成長法、レーザー結晶化法、ニッケルを触媒金属元素として用いた固相成長法等)により得られた結晶質珪素膜を所望の形状に加工して形成する。

【0072】

本実施例では、非晶質半導体膜として膜厚55nmの非晶質珪素膜をプラズマCVD法により形成した。なお、非晶質珪素膜以外に、非晶質シリコンゲルマニウム( $\text{Si}_x\text{Ge}_{1-x}$  ( $x=0.0001\sim0.02$ ))等の非晶質半導体膜を用いてもよい。或いは、非晶質半導体膜を結晶化して結晶質半導体膜を得るのではなく、結晶質半導体膜を成膜してもよい。膜厚に関しても上記の膜厚に限らず適宜変更して構わない。

【0073】

また、非晶質珪素膜の結晶化は、ニッケルを触媒金属元素とした固相成長法(550℃、4時間の熱処理)を用いて行った。さらに結晶性を向上させるためにエキシマレーザーによる処理を行い、結晶質珪素膜を得た。

【0074】

10

20

30

40

50

次に、オゾン水を用いて結晶質珪素膜表面に1~2nmの膜厚の薄い酸化膜を形成し、さらにその上に非晶質珪素膜をスパッタ法により100nmの膜厚で形成した。そして、550℃、4時間のファーネスによる熱処理を行い、結晶質珪素膜中に含有されている触媒金属元素を、非晶質珪素膜中へと移動させた(ゲッタリング処理)。ゲッタリング処理後、不要になった非晶質珪素膜(ゲッタリング後は触媒金属元素の効果により結晶質珪素膜となる場合がある)をTMAH溶液を用いて除去し、さらにフッ酸溶液を用いて除去した。

#### 【0075】

次に、結晶質珪素膜をフォトリソグラフィによるパターンニングおよびエッチングにより所望の形状に加工し、半導体膜1502a~1502dを形成した。

#### 【0076】

なお、半導体膜1502a~1502dを形成する前、もしくは形成した後、TFEの閾値を制御するための不純物添加(チャネルドープ)を行ってもよい。添加する不純物としては、ボロン又は燐などを用いればよい。

#### 【0077】

レーザー結晶化法で結晶質半導体膜を形成する場合、レーザー媒質としてエキシマ(XeCl)やYAG、YVO<sub>4</sub>を用いたパルス発振型または連続発振型のレーザーを用いることができる。エキシマレーザーを用いる場合はパルス発振周波数を約300Hzとし、レーザーエネルギー密度を100~400mJ/cm<sup>2</sup>とすればよい。また、YAGレーザーを用いる場合は第2高波長を用いてパルス発振周波数を30~300Hzとし、レーザーエネルギー密度を300~600mJ/cm<sup>2</sup>とすればよい。発振したレーザー光を幅100~1000μmの線状に集光した線状レーザー光を、重ね合わせ率(オーバーラップ率)50~90%として基板全面に渡って照射する方法を用いてもよい。

#### 【0078】

次に、半導体膜1502a~1502dを覆うようにゲート絶縁膜1503を形成する。本実施例では、プラズマCVD法を用いて110nmの膜厚の酸化珪素膜を成膜して形成した。なお、酸化珪素膜に限らず他の絶縁性を有する膜を用いて形成してもよい。膜厚も上記の値に限らず誘電率などを考慮し適宜変更して構わない。

#### 【0079】

次に、ゲート絶縁膜1503の上に導電性膜1504と導電性膜1505を積層して形成する。本実施例では、スパッタ法により30nmの膜厚で窒化タンタル(TaN)を成膜して導電性膜1504を形成し、同じくスパッタ法により370nmの膜厚でタングステン(W)を成膜して導電性膜1505を形成した。なお導電性膜1504、1505に用いる材料としては、窒化タンタルやタングステンに限定されず、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を組み合わせた合金膜もしくは化合物材料、若しくは燐などの不純物元素を添加した多結晶珪素膜に代表される半導体膜を用いてもよい。導電性膜1504としてはゲート絶縁膜との密着性がよい材料、また導電性膜1505については、9~20μΩ・cm程度の抵抗値が得られる低抵抗な材料を選択すればよい。

#### 【0080】

次に、導電性膜1504、1505をパターンニングおよびエッチングにより所望の形状に加工する。まず、側壁に傾斜のついたレジストマスク1510~1513を形成する。次に、レジストマスク1510~1513をマスクとして導電性膜1505をエッチングし、続いて導電性膜1504をエッチングして加工する。レジストマスク1510~1513の側壁の傾斜角度(テーパ角度)に依存して、導電性膜1505は側壁に約26°のテーパ角度をもった導電性膜1506b、1507b、1508b、1509bに加工される。また、導電性膜1504も側壁に15~45°のテーパ角度をもった導電性膜1506a、1507a、1508a、1509aに加工される。

#### 【0081】

次に、レジストマスク1518~1521をマスクとして導電性膜1506b、1507

10

20

30

40

50

b、1508b、1509bを選択的にエッチングする。これにより、導電性膜1506b、1507b、1508b、1509bは、側壁がほぼ垂直である導電性膜1514b、1515b、1516b、1517bに加工される。この場合、エッチングには垂直方向を主体とした異方性エッチングを用いなければならない。またレジストマスク1518～1521としては、前述の導電性膜1504、1505のエッチングに用いたレジストマスク1510～1513をそのまま用いればよい。導電性膜1506a、1507a、1508a、1509aは加工されずに、そのまま導電性膜1514a、1515a、1516a、1517aとして残る。

#### 【0082】

以上のようにして導電性膜1514a、1514bからなるゲート電極1514、導電性膜1515a、1515bからなるゲート電極1515、導電性膜1516a、1516bからなるゲート電極1516、導電性膜1517a、1517bからなるゲート電極1517が形成される。

#### 【0083】

次に、ゲート電極1514～1517をマスクとして低濃度のn型不純物の不純物添加を行う。本実施例では、低濃度の不純物として $1 \times 10^{17} \text{ atoms/cm}^3$ の濃度の燐を半導体膜1502a～1502dに添加し、低濃度不純物領域1522a～1522dを形成した。ここで行った低濃度不純物添加は、TFTのオフリーク電流を抑制するためのLDD (Light Doped Drain) 領域を形成するためのものであり、添加した不純物濃度によってオフリーク電流は変わる。従って、規定以下のオフリーク電流となるように、不純物の添加量は適宜変更すればよい。本実施例では、n型不純物として燐を用いているが、これに限らず他のものでもよい。

#### 【0084】

次に、レジストマスク1525～1527および導電性膜1514bをマスクとして高濃度のn型不純物の不純物添加を行う。なお、レジストマスク1525は半導体膜1502bおよびゲート電極1515を覆うように、レジストマスク1526は半導体膜1502cの一部 (TFTのLDD領域となる部分) およびゲート電極1516を覆うように、レジストマスク1527は半導体膜1502dおよびゲート電極1507を覆うように形成されている。本実施例では、半導体膜1502aのうち上に導電性膜1514aが形成されていない部分、および半導体膜1502cのうち上にレジストマスク1526が形成されていない部分に $1 \times 10^{20} \text{ atoms/cm}^3$ の高濃度の燐を添加した。同時に、半導体膜1502aのうち、上に導電性膜1514aが形成されている部分には $1 \times 10^{18} \text{ atoms/cm}^3$ の低濃度の燐が添加されるようにした。これにより、高濃度の燐を含むソース (或いは、ドレイン) 1523a、低濃度の燐を含む低濃度不純物領域1524bが形成される。これは、導電性膜1514aが形成されている部分と、形成されていない部分とで添加される不純物に対する阻止能が異なることを利用している。本実施例では、n型不純物として燐を用いているが、これに限らず他のものでもよい。

#### 【0085】

次に、レジストマスク1530、1531および導電性膜1515b、1517bをマスクとして高濃度のp型不純物の不純物添加を行う。レジストマスク1530は半導体膜1502aおよびゲート電極1514を覆うように、レジストマスク1531は半導体膜1502cおよびゲート電極1516を覆うように形成されている。本実施例では、半導体膜1502b、1502dのうち上に導電性膜1515a、1517aが形成されていない部分に $1 \times 10^{20} \text{ atoms/cm}^3$ の高濃度のボロンを添加されるようにし、ソース (或いは、ドレイン) 1528a、1528bを形成した。同時に、半導体膜半導体膜1502b、1502dのうち上に導電性膜1515a、1517aが形成されている部分には $1 \times 10^{19} \text{ atoms/cm}^3$ の低濃度のボロンが添加されるようにし、低濃度不純物領域1529a、1529bを形成した。本実施例では、p型不純物としてボロンを用いているが、これに限らず他のものでもよい。

#### 【0086】

以上のようにして、TFT1550～1553を作製する。TFT1550、1551は駆動用回路用TFTであり、TFT1552、TFT1553は発光素子駆動用TFTである。

【0087】

次に、添加した不純物を活性化するための熱処理を行う。本実施例では、酸素濃度が0.1ppm以下の窒素雰囲気中で550℃、4時間のファーンネスによる熱処理を行った。なお、酸素濃度が0.1ppm以下の窒素雰囲気中で熱処理を行うのは、ゲート電極1514～1517が酸化されるのを防止するためである。なお、TFT1550～1553の上に酸化珪素膜などの絶縁性を有する膜を形成し、ゲート電極1514～1517の酸化を防止する方法を用いるのであれば、酸素濃度は0.1ppm以上1ppm以下でもよい。またファーンネス以外にレーザーによる活性化、またはRTA(Rapid Thermal Anneal)法など他の方法を用いてもよい。

10

【0088】

次に、TFT1550～1553を覆うように層間絶縁膜1532を形成する。本実施例では、プラズマCVD法を用いて100nmの膜厚の窒化酸化珪素膜(SiNO)を成膜して形成した。なお、窒化酸化珪素膜に限らず他の絶縁性を有する膜を用いて形成してもよい。膜厚も上記の値に限らず誘電率などを考慮し適宜変更して構わない。

【0089】

次に、半導体層のダングリングボンドを終端化するための水素化を行う。本実施例では、100%の水素雰囲気中で、410℃、1時間の熱処理を施し水素化を行った。熱処理による水素化以外に、プラズマを用いた水素化を行ってもよい。

20

【0090】

次に、層間絶縁膜1532の上に層間絶縁膜1533を形成する。本実施例では、プラズマCVD法を用いて1.2μmの膜厚の酸化珪素膜を成膜した後、さらにCMP(Chemical Mechanical Polishing)により研磨して表面を平坦化して層間絶縁膜1533を形成した。なお、酸化珪素膜に限らず他の絶縁性を有する膜を用いて形成してもよい。膜厚も上記の値に限らず誘電率や平坦化による膜減り量などを考慮し適宜変更して構わない。

【0091】

次に、層間絶縁膜1533の上に、さらに層間絶縁膜1534を形成する。本実施例では、プラズマCVD法を用いて600nmの膜厚の酸化珪素膜を成膜し、層間絶縁膜1534を形成した。なお、酸化珪素膜に限らず他の絶縁性を有する膜を用いて形成してもよい。膜厚も上記の値に限らず誘電率などを考慮し適宜変更して構わない。

30

【0092】

次に、ソース(或いは、ドレイン)1523a、1523b、1528a、1528bに達するコンタクトホールをパターニングおよびエッチングにより形成する。本実施例では、パターニング後、層間絶縁膜1533、1534をフッ酸含有溶液を用いた湿式方法によりエッチングし、続けて乾式方法により層間絶縁膜1532をエッチングしてコンタクトホールを形成した。

【0093】

次に、TFT1550～1553に電氣的信号を伝達するための配線、ソース(或いは、ドレイン)電極および発光素子の陽極を形成する。

40

【0094】

コンタクトホールを形成後、層間絶縁膜1534の上に第1の導電性膜1535aおよび第2の導電性膜1535bを形成する。本実施例では、スパッタ法を用いてタンタル(Ta)を100nmの膜厚で成膜して第1の導電性膜1535aを形成した。また、数%のシリコンを含有したアルミニウム合金を250nmの膜厚で成膜して第2の導電性膜1535bを形成した。

【0095】

次に、フォトリソグラフィ法を用いたパターニングにより形成したレジストマスクをマ

50

スクとして第2の導電性膜1535bを選択的にエッチングして加工し、第2の導電性膜1536b、1537b、1538b、1539b、1540b、1541bを形成する。本実施例では、液温を45℃に保った硝酸(HNO<sub>3</sub>)を2.0%、酢酸(CH<sub>3</sub>COOH)を9.8%、リン酸(H<sub>3</sub>PO<sub>4</sub>)を72.3%含有した溶液を用いて第2の導電性膜1535bを選択的にエッチングした。これにより、発光素子の陽極となる部分から第2の導電性膜が取り除かれる。なお上記のような湿式方法によるエッチング以外に乾式方法によるエッチングを用いてもよい。また、湿式方法によるエッチングにおいて用いる溶液も上記に示したものの以外のもを用いてもよい。

#### 【0096】

次に、第1の導電性膜1535bおよび第2の導電性膜1536b、1537b、1538b、1539b、1540b、1541bを被覆するように、第3の導電性膜を形成する。本実施例では、スパッタ法を用いて非晶質のITO(Indium Tin Oxide)を20nmの膜厚で成膜し、第3の導電性膜を形成した。

#### 【0097】

次に、フォトリソグラフィ法を用いたパターンニングにより形成したレジストマスクをマスクとして第3の導電性膜1535cを選択的にエッチングして加工し、第3の導電性膜1536c、1537c、1538c、1539c、1540c、1541cを形成する。本実施例では、シュウ酸((COOH)<sub>2</sub>)を5.0%以下の濃度で含有した水溶液を45℃の液温で用いて第3の導電性膜1535cを選択的にエッチングした。なお上記のような湿式方法によるエッチング以外に乾式方法によるエッチングを用いてもよい。また、湿式方法によるエッチングにおいて用いる溶液も上記に示したものの以外のもを用いてもよい。

#### 【0098】

次に、第3の導電性膜1535cのエッチングに用いたレジストマスクをそのまま使い、第1の導電性膜1535aを選択的にエッチングして第1の導電性膜1536a、1537a、1538a、1539a、1540a、1541aを形成する。本実施例では、ドライエッチングにより、第1の導電性膜1535aを選択的にエッチングした。

#### 【0099】

なお、第1の導電性膜1535aとしては、タンタル以外にチタン(Ti)等のように、低温下(約250℃以下)では、ソース(或いは、ドレイン)1523a、1523b、1528a、1528bのシリコンとの接触による不良を引き起こさないバリア膜としての機能を有する材料のものを用いればよい。また、反射膜としても機能できるように可視光における反射率ができるだけ高いものが好ましい。さらに、第2の導電性膜1535bについても、配線として機能できるように抵抗値の低い材料であればシリコン以外にチタン等を含有したアルミニウム合金等、他の材料を用いても構わない。第3の導電性膜1535cについても、発光素子の陽極として機能できるように仕事関数が高い(4.8eV以上が好ましい)材料であればITO以外の材料を用いてもよい。

#### 【0100】

次に、ITOを結晶化させるためのベークを行う。本実施例では、250℃、2時間のベークを行い第3の導電性膜1536c、1537c、1538c、1539c、1540c、1541cの材料である非晶質のITOを結晶化させた。このベークのとき、第2の導電性膜の材料であるアルミニウム合金がヒロックを生じる。しかしながら、前述のように、本実施例では第3の導電性膜1536c、1537c、1538c、1539c、1540c、1541cのうち、発光素子の陽極となる部分から第2の導電性膜を取り除いている。このため、アルミニウム合金がヒロックを生じて、発光素子の陽極となる部分には何ら影響がない。なお、本実施例において、発光素子の陽極となる部分以外においてアルミニウム合金がヒロックを生じて、後の工程において作製する絶縁膜1542によって、凹凸は十分に被覆される。

#### 【0101】

以上のようにして、TF T1553のソース(或いは、ドレイン)1528bに電氣的信

10

20

30

40

50

号を伝達するためのソース電極と発光素子の電極とが一体となった電極 1 5 3 6 が形成される。また、同時に T F T 1 5 5 0 ~ 1 5 5 2 のソース（或いは、ドレイン） 1 5 2 3 a、1 5 2 3 b、1 5 2 8 a に電氣的信号を伝達するためのソース電極 1 5 3 8 ~ 1 5 4 1（但し、ソース電極 1 5 3 8 ~ 1 5 4 1 は配線としても機能する。）、及び配線 1 5 3 7 が形成される。

#### 【0102】

次に、電極 1 5 3 6 の一部（発光素子の陽極となる部分）が露出するように開口部を設けた絶縁膜 1 5 4 2 を形成する。本実施例では、レジストをフォトリソグラフィ法を用いて加工し、1.4  $\mu$ m の膜厚の絶縁膜 1 5 4 2 を形成した。なお、レジスト以外にアクリル（感光性、非感光性のいずれも含む）やポリイミド（感光性、非感光性のいずれも含む）等の有機樹脂材料や、酸化珪素膜などの無機材料を用いて形成してもよい。なお、本実施例では、絶縁膜 1 5 4 2 のエッジ部は角張っておらず丸みを帯びた形状をしている。また、絶縁膜 1 5 4 2 の開口部において露出した電極 1 5 3 6 は、発光素子の陽極 1 5 4 3 として機能する。

#### 【0103】

次に、陽極 1 5 4 3 の上に有機化合物層を蒸着法により形成する。ここでは、本実施例において赤、緑、青の 3 種類の発光を示す有機化合物により形成される有機化合物層のうちの一種類が形成される様子を示すが、3 種類の有機化合物層を形成する有機化合物の組み合わせについて、図 1 3 により説明する。

#### 【0104】

なお、図 1 3（A）に示す発光素子は、陽極 1 7 0 1、有機化合物層 1 7 0 2、及び陰極 1 7 0 3 からなり、有機化合物層 1 7 0 2 は、正孔輸送層 1 7 0 4、発光層 1 7 0 5 電子輸送層 1 7 0 6 の積層構造を有している。なお、赤色発光を示す発光素子を構成する材料及び膜厚について図 1 3（B）に示し、緑色発光を示す発光素子を構成する材料及び膜厚について図 1 3（C）に示し、青色発光を示す発光素子を構成する材料及び膜厚について図 1 3（D）にそれぞれ示す。

#### 【0105】

はじめに、赤色発光を示す有機化合物層を形成する。具体的には、正孔輸送層 1 7 0 4 は、正孔輸送性の有機化合物である、4, 4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル（以下、 $\alpha$ -NPD と示す）を 40 nm の膜厚に成膜し、発光層 1 7 0 5 は、発光性の有機化合物である、2, 3, 7, 8, 12, 13, 17, 18-オクタエチル-21H、23H-ポルフィリン-白金（以下、PtOEP と示す）をホストとなる有機化合物（以下、ホスト材料という）である 4, 4'-ジカルバゾール-ビフェニル（以下、CBP と示す）と共に共蒸着させて 30 nm の膜厚に成膜し、ブロッキング層 1 7 0 6 は、ブロッキング性の有機化合物である、バソキュプロイン（以下、BCP と示す）を 10 nm の膜厚に成膜し、電子輸送層 1 7 0 7 は、電子輸送性の有機化合物である、トリス（8-キノリノラト）アルミニウム（以下、Alq<sub>3</sub> と示す）を 40 nm の膜厚に成膜することにより赤色発光の有機化合物層を形成する。

#### 【0106】

なお、ここでは赤色発光の有機化合物層として、5 種類の機能の異なる有機化合物を用いて形成する場合について説明したが、本発明は、これに限られることはなく、赤色発光を示す有機化合物として公知の材料を用いることができる。

#### 【0107】

次に、緑色発光を示す有機化合物層を形成する。具体的には、正孔輸送層 1 7 0 4 は、正孔輸送性の有機化合物である、 $\alpha$ -NPD を 40 nm の膜厚で成膜し、発光層 1 0 0 5 は、正孔輸送性のホスト材料として CBP を用い、発光性の有機化合物であるトリス（2-フェニルピリジン）イリジウム（Ir(pppy)<sub>3</sub>）と共に共蒸着することにより 30 nm の膜厚で成膜し、ブロッキング層 1 7 0 6 は、ブロッキング性の有機化合物である BCP を 10 nm の膜厚で成膜し、電子輸送層 1 7 0 7 は、電子輸送性の有機化合物である、Alq<sub>3</sub> を 40 nm の膜厚で成膜することにより緑色発光の有機化合物を形成することが

10

20

30

40

50

できる。

【0108】

なお、ここでは緑色発光の有機化合物層として、4種類の機能の異なる有機化合物を用いて形成する場合について説明したが、本発明はこれに限られることはなく、緑色発光を示す有機化合物として公知の材料を用いることができる。

【0109】

次に、青色発光を示す有機化合物層を形成する。具体的には、発光層1705は、発光性および正孔輸送性の有機化合物である、 $\alpha$ -NPDを40nmの膜厚で成膜し、ブロッキング層1706は、ブロッキング性の有機化合物である、BCPを10nmの膜厚に成膜し、電子輸送層1707は、電子輸送性の有機化合物である、Alq<sub>3</sub>を40nmの膜厚で成膜することにより青色発光の有機化合物層を形成することができる。

10

【0110】

なお、ここでは青色発光の有機化合物層として、3種類の機能の異なる有機化合物を用いて形成する場合について説明したが、本発明はこれに限られることはなく、青色発光を示す有機化合物として公知の材料を用いることができる。

【0111】

以上に示した有機化合物を陽極上に形成することにより画素部において、赤色発光、緑色発光及び青色発光を示す有機化合物層を形成することができる。

【0112】

次に、有機化合物層1544及び絶縁層1542を覆って、陰極1545を形成する。本実施例において陰極1545は、可視光に対する透過率の高いITOにより形成されている。なお、ITOは仕事関数が高い材料であり、陰極にはあまり適さない。このため、本実施例では、陰極1545を形成する前に、有機化合物層1544及び絶縁層1542を被覆するようにフッ化リチウムを2nmの膜厚で形成し、電子の注入効率を向上するようにしている。

20

【0113】

なお、ITO以外にも、アルカリ金属やアルカリ土類金属に属する材料を単体で用いたり、その他の材料と積層したり、その他の材料とで形成される合金（例えばAl:Mg合金やAl:Mg合金やMg:In合金等）を薄膜で用いてもよい。また、仕事関数が低く、かつ可視光に対する透過率の高い導電性膜であれば、上記に述べたもの以外のものを用いて陰極1545を形成してもよい。

30

【0114】

次に、発光素子を保護するための保護膜1546を形成する。本実施例では、スパッタ法により窒化珪素膜を形成し、保護膜1546を形成した。なお、窒化珪素膜以外にも、DLC(Diamond like Carbon)など、他の材料を用いて保護膜1546を形成してもよい。

【0115】

以上のようにして、本発明の発光装置の作製方法を用いた上面発光型の発光装置を作製する。

【0116】

[実施例2]

本実施例では、本発明を適用して作製した上面発光型のアクティブマトリクス型ELディスプレイについて図12を用いて説明する。このような上面発光型のアクティブマトリクス型ELディスプレイは、反射膜を設けているため、採光効率が良い。また発光素子の電極とソース電極、配線を同時に形成しているため、生産に係るコストが低減される。さらに、製造工程において、層間絶縁膜がエッチングされたり、アルミニウムがヒロックを生じたりすることにより形成される凹凸も考慮し、これらの凹凸に起因した発光素子の不良を抑制できる構造となっているため、歩留まりが向上する。

【0117】

図12(A)は、発光装置を示す上面図、図12(B)は図12(A)をA-A'で切断

50

40



した断面図である。点線で示された2001はソース信号線駆動回路、2002は画素部、2003はゲート信号線駆動回路である。また、2004は封止基板、2005はシール剤であり、2004は封止基板とシール剤2005で囲まれた内側は、空間になっている。

#### 【0118】

2008(2008a、2008b)はソース信号線駆動回路2001及びゲート信号線駆動回路2003に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)2009からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

10

#### 【0119】

断面構造について図12(B)を用いて説明する。基板2010上には駆動回路及び画素部が形成されているが、ここでは、駆動回路としてソース信号線駆動回路2001と画素部2002が示されている。なお、ソース信号線駆動回路2001はnチャネル型TFTとpチャネル型TFTとを組み合わせたCMOS回路が形成される。また、駆動回路を形成するTFTは、公知のCMOS回路、PMOS回路もしくはNMOS回路で形成しても良い。また、本実施例では、基板上に駆動回路を形成したドライバー体型を示すが、必ずしもその必要はなく、基板上ではなく外部に形成することもできる。また、画素部2002は発光素子駆動用TFT2020に電氣的信号を伝達するためのソース電極と発光素子2030の陽極が一体となった電極を含む複数の画素により形成される。

20

#### 【0120】

陰極および陽極は接続配線を経由してFPCに電氣的に接続されている。なお、図12(B)においては、陽極とFPC2009が接続配線2008を経由して電氣的に接続されている。

#### 【0121】

発光素子2030を封止するためにシール剤2005により封止基板2004を貼り合わせる。なお、封止基板2004と発光素子2030との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、シール剤2005の内側の空間2007には窒素等の不活性気体が充填されている。なお、シール剤2005としてはエポキシ系樹脂を用いるのが好ましい。また、シール剤2005はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、空間2007の内部に酸素や水を吸収する効果をもつ物質を含有させてもよい。

30

#### 【0122】

また、本実施例では封止基板2004を構成する材料としてガラス基板や石英基板の他、FRP(Fiberglass-Reinforced Plastics)、PVF(ポリビニルフロライド)、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。また、シール剤2005を用いて封止基板2004を接着した後、さらに側面(露呈面)を覆うようにシール剤で封止することも可能である。

#### 【0123】

以上のようにして発光素子を空間2007に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素といった有機化合物層の劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

40

#### 【0124】

なお、nチャネル型TFT、pチャネル型TFT、発光素子駆動用TFTについては、特に限定はなく、シングルドレイン構造、LDD構造、シングルゲート構造、ダブルゲート構造等いずれの構造も適用可能である。

#### 【0125】

#### 【実施例3】

本実施例では、本発明を適用することにより、作製されたアクティブマトリクス型ELデ

50

ディスプレイを搭載した電子機器について図14を用いて説明する。本発明を適用して作製したアクティブマトリクス型ディスプレイは採光効率がよい。このためディスプレイの表示に係る消費電力を低減できる。その結果、携帯電話や携帯情報端末(PDA)等のモバイル機器などにおいては、電池使用環境下における使用可能時間の増加が図れる。また、テレビやモニターにおいては、採光効率がよくなることでより鮮明な画像を表示することが可能となる。また生産に係るコストが低減されているため低価格化も図れる。

#### 【0126】

図14(A)は、本発明を適用して作製した携帯情報端末(PDA)であり、本体3031には表示部(本発明を適用したアクティブマトリクス型ELディスプレイ)3033と、外部インターフェイス3035と、操作ボタン3034等が設けられている。また操作用の付属品としてスタイラス3032がある。また図14(B)は、本発明を適用して作製した携帯電話である。本体3061には表示部(本発明を適用したアクティブマトリクス型発光装置)3064と、音声出力部3062、3063、操作スイッチ3065、アンテナ3066等が設けられている。これらのようなモバイル機器に本発明を適用することにより、表示に係る消費電力の低減、それに伴う使用可能時間の増加が図れる。

#### 【0127】

図14(C)は、本発明を適用して作製したモニターであり、表示部(本発明を適用したアクティブマトリクス型ELディスプレイ)3003、携帯情報端末の図であり、本体3031にはシステムオンパネル(表示部)3033と、筐体3001、支持台3002等が設けられている。このように本発明を適用することにより、採光効率が増加し、その結果より鮮明な画像が得られる。

#### 【0128】

##### 【発明の効果】

本発明を適用することにより、反射膜を有し採光効率を高めた上面発光型の発光装置が得られる。また本発明の発光装置は、従来技術の上面発光型の発光装置と比較して、層間絶縁膜および発光素子の電極とソース電極、配線を同時に形成できるため生産に係るコストが低減される。さらに、層間絶縁膜がエッチングされたり、アルミニウムがヒロックを生じたりすることにより形成される凹凸も考慮し、これらの凹凸に起因した発光素子の不良を抑制できる構造となっているため、歩留まりが向上する。従って、本発明を適用した電子機器においては、低消費電力化、画質の向上、低価格化が図れる。

#### 【0129】

##### 【図面の簡単な説明】

【図1】本発明の発光装置の断面図。

【図2】本発明の発光装置の断面図。

【図3】本発明の発光装置の断面図。

【図4】本発明の発光装置を説明する上面図。

【図5】本発明の発光装置の作製方法を説明する工程断面図。

【図6】本発明の発光装置の作製方法を説明する工程断面図。

【図7】本発明の発光装置の作製方法を説明する工程断面図。

【図8】本発明の発光装置の作製方法を説明する工程断面図。

【図9】本発明の発光装置の作製方法を説明する工程断面図。

【図10】本発明の発光装置の作製方法を説明する工程断面図。

【図11】本発明の発光装置の作製方法を説明する工程断面図。

【図12】本発明を適用して作製したアクティブマトリクス型ELディスプレイを説明する図。

【図13】本発明の発光装置における発光素子の構造を説明する図。

【図14】本発明を適用した電子機器について説明する図。

【 図 3 】

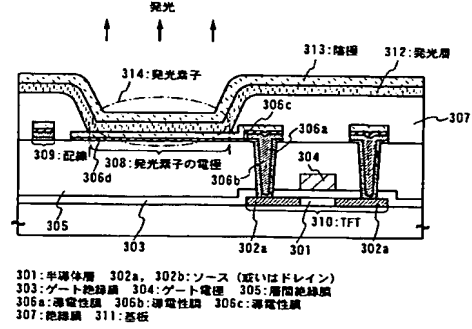
[illegible][illegible]

Figure 1 consists of four cross-sectional views labeled (A), (B), (C), and (D), illustrating the sequential steps of a semiconductor device's construction.

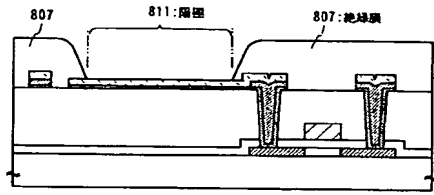
- (A)** Shows a substrate with a gate insulating film (801) and a gate electrode (802: TFT). A source/drain region (803a) is formed, and a conductive film (806a) is deposited over the gate and source/drain regions. A second conductive film (806b) is also present.
- (B)** Shows the removal of the conductive film (806a) from the source/drain region (803a), leaving it exposed.
- (C)** Shows the deposition of a third conductive film (806c) over the entire surface, including the exposed source/drain region (803a).
- (D)** Shows the final structure with a patterned conductive film (809: 配線) on top of the third conductive film (806c). The source/drain region (803a) is now covered by the patterned conductive film (809).

**Legend:**

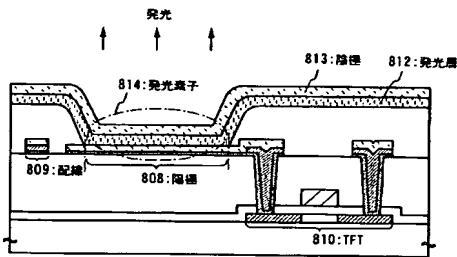
- 801: 基板 (Substrate)
- 803a, 803b: ソース (或いはドレイン) (Source (or Drain))
- 815: ゲート絶縁膜 (Gate Insulating Film)
- 805: 開口絶縁膜 (Opening Insulating Film)
- 806a: 導電性膜 (Conductive Film)
- 806b: 導電性膜 (Conductive Film)
- 806c: 導電性膜 (Conductive Film)

【図 6】

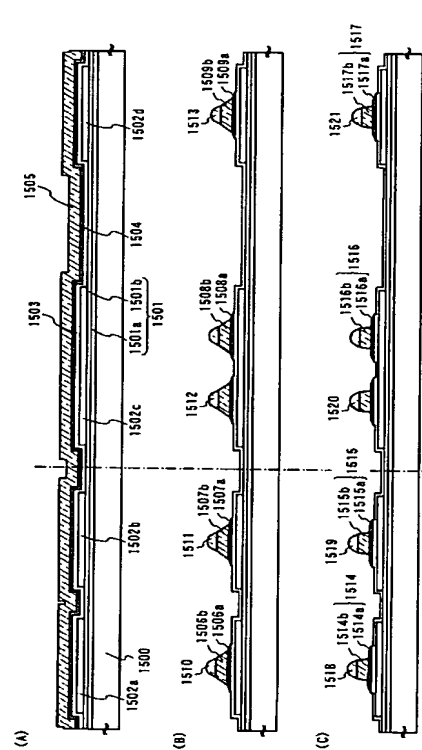
(A)



(B)



【図 7】



1500: 基板 1501a: 1501b: 下地絶縁膜 1502a: 半導体膜 1503: ゲート絶縁膜 1504: 溝絶縁膜 1505: 溝電極膜  
 1506a: 1506b: 溝電極膜 1507a: 1507b: 溝電極膜 1508a: 1508b: 溝電極膜 1509a: 1509b: 溝電極膜  
 1510a: 1510b: 溝電極膜 1511a: 1511b: 溝電極膜 1512a: 1512b: 溝電極膜 1513a: 1513b: 溝電極膜  
 1514a: 1514b: 溝電極膜 1515a: 1515b: 溝電極膜 1516a: 1516b: 溝電極膜 1517a: 1517b: 溝電極膜  
 1518a: 1518b: 溝電極膜 1519a: 1519b: 溝電極膜 1520a: 1520b: 溝電極膜 1521a: 1521b: 溝電極膜  
 1522a: 1522b: 溝電極膜 1523a: 1523b: 溝電極膜 1524a: 1524b: 溝電極膜 1525a: 1525b: 溝電極膜  
 1526a: 1526b: 溝電極膜 1527a: 1527b: 溝電極膜 1528a: 1528b: 溝電極膜 1529a: 1529b: 溝電極膜  
 1530a: 1530b: 溝電極膜 1531a: 1531b: 溝電極膜 1532a: 1532b: 溝電極膜 1533a: 1533b: 溝電極膜  
 1534a: 1534b: 溝電極膜 1535a: 1535b: 溝電極膜 1536a: 1536b: 溝電極膜 1537a: 1537b: 溝電極膜  
 1538a: 1538b: 溝電極膜 1539a: 1539b: 溝電極膜 1540a: 1540b: 溝電極膜 1541a: 1541b: 溝電極膜  
 1542a: 1542b: 溝電極膜 1543a: 1543b: 溝電極膜 1544a: 1544b: 溝電極膜 1545a: 1545b: 溝電極膜  
 1546a: 1546b: 溝電極膜 1547a: 1547b: 溝電極膜 1548a: 1548b: 溝電極膜 1549a: 1549b: 溝電極膜  
 1550a: 1550b: 溝電極膜 1551a: 1551b: 溝電極膜 1552a: 1552b: 溝電極膜 1553a: 1553b: 溝電極膜  
 1554a: 1554b: 溝電極膜 1555a: 1555b: 溝電極膜 1556a: 1556b: 溝電極膜 1557a: 1557b: 溝電極膜  
 1558a: 1558b: 溝電極膜 1559a: 1559b: 溝電極膜 1560a: 1560b: 溝電極膜 1561a: 1561b: 溝電極膜  
 1562a: 1562b: 溝電極膜 1563a: 1563b: 溝電極膜 1564a: 1564b: 溝電極膜 1565a: 1565b: 溝電極膜  
 1566a: 1566b: 溝電極膜 1567a: 1567b: 溝電極膜 1568a: 1568b: 溝電極膜 1569a: 1569b: 溝電極膜  
 1570a: 1570b: 溝電極膜 1571a: 1571b: 溝電極膜 1572a: 1572b: 溝電極膜 1573a: 1573b: 溝電極膜  
 1574a: 1574b: 溝電極膜 1575a: 1575b: 溝電極膜 1576a: 1576b: 溝電極膜 1577a: 1577b: 溝電極膜  
 1578a: 1578b: 溝電極膜 1579a: 1579b: 溝電極膜 1580a: 1580b: 溝電極膜 1581a: 1581b: 溝電極膜  
 1582a: 1582b: 溝電極膜 1583a: 1583b: 溝電極膜 1584a: 1584b: 溝電極膜 1585a: 1585b: 溝電極膜  
 1586a: 1586b: 溝電極膜 1587a: 1587b: 溝電極膜 1588a: 1588b: 溝電極膜 1589a: 1589b: 溝電極膜  
 1590a: 1590b: 溝電極膜 1591a: 1591b: 溝電極膜 1592a: 1592b: 溝電極膜 1593a: 1593b: 溝電極膜  
 1594a: 1594b: 溝電極膜 1595a: 1595b: 溝電極膜 1596a: 1596b: 溝電極膜 1597a: 1597b: 溝電極膜  
 1598a: 1598b: 溝電極膜 1599a: 1599b: 溝電極膜 1600a: 1600b: 溝電極膜

【図 8】

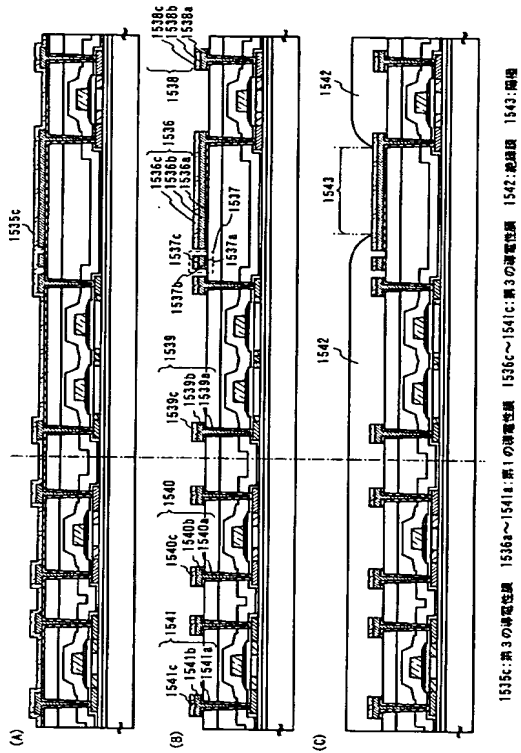
(A)



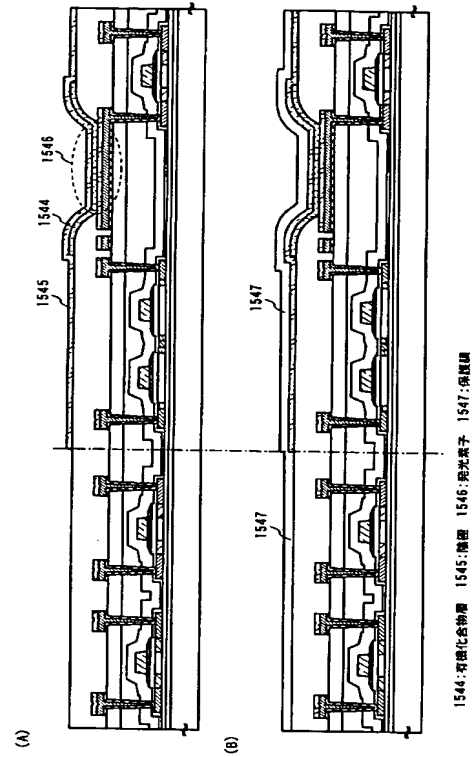
(B)



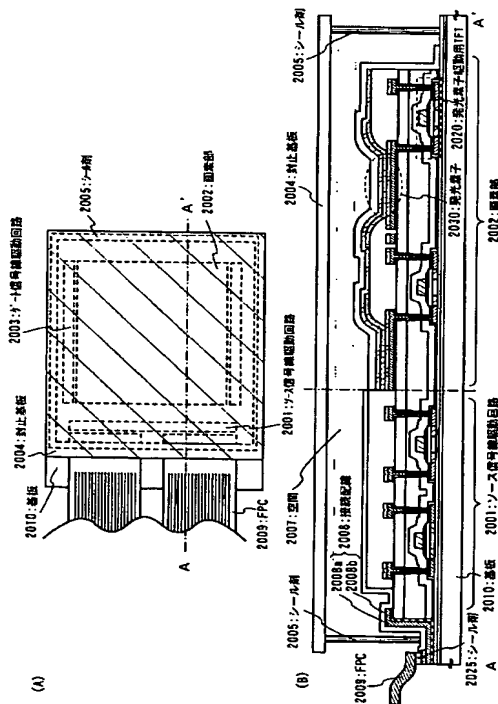
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】

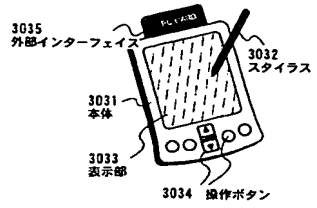


【 図 1 3 】

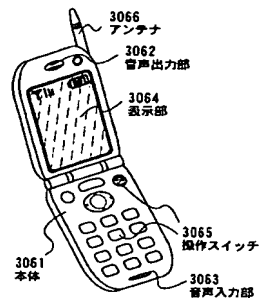
(A) 光子構造	(B) 紫外光子 (h)	(C) 紫外光子 (G)	(D) 紫外光子 (D)
1703 透過	Alq3 (40nm)	Alq3 (40nm)	
1707 電子注入層	BCP (10nm)	BCP (10nm)	Alq3 (40nm)
1708 ZnO 層	PiREP:CBP (30nm)	Ir (ppy)3:CBP (30nm)	BCP (10nm)
1709 光層	$\alpha$ -NPD (40nm)	$\alpha$ -NPD (40nm)	$\alpha$ -NPD (40nm)
1900 正互換透過			
1001 透過			

## 【図 14】

(A)



(B)



(C)

